



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 2 1 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 4 4 3 6 0
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 4 4 3 6 0]

出 願 人 セイコーエプソン株式会社
Applicant(s):

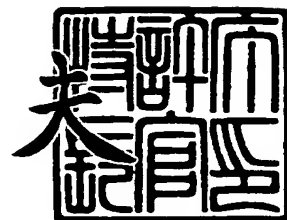
と。



2 0 0 3 年 1 1 月 1 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 0 9 4 9 7 2

【書類名】 特許願

【整理番号】 J0096551

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/495

【発明者】

 【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

 【氏名】 岩佐 伊郎

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100095728

 【弁理士】

 【氏名又は名称】 上柳 雅誉

 【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

 【識別番号】 100107076

 【弁理士】

 【氏名又は名称】 藤網 英吉

【選任した代理人】

 【識別番号】 100107261

 【弁理士】

 【氏名又は名称】 須澤 修

【手数料の表示】

 【予納台帳番号】 013044

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 リードフレーム、半導体チップのパッケージング部材、半導体装置の製造方法、及び、半導体装置

【特許請求の範囲】

【請求項 1】 半導体チップのパッケージングに用いるためのリードフレームであって、

枠状のランド部と、

半導体チップを搭載するためのダイパッド部と、

前記ランド部の四隅に形成され、前記ダイパッド部が前記ランド部の枠内に位置するように前記ダイパッド部を支持する第 1～第 4 の支持部と、

第 1～第 4 群のリード材であって、一方の端部が前記ランド部に固着され、他方の端部がそれぞれの群において互いに平行となっている前記第 1～第 4 群のリード材と、

を具備するリードフレーム。

【請求項 2】 前記第 1～第 4 群のリード材が、前記ランド部の中心側を上底とし、辺側を下底とする台形状の第 1～第 4 の領域内に形成され、前記第 1～第 4 群のリード材の他方の端部が前記第 1～第 4 の領域の上底又は斜辺に沿うように形成されている、請求項 1 記載のリードフレーム。

【請求項 3】 請求項 1 又は 2 記載のリードフレームを用いた半導体装置の製造方法であって、

パッケージング対象である半導体チップのサイズに応じて前記第 1～第 4 群のリード材をカットするステップ (a) と、

前記半導体チップを前記ダイパッド部に搭載するステップ (b) と、

前記第 1～第 4 群のリード材と前記半導体チップとを接続する複数のワイヤをボンディングするステップ (c) と、

前記第 1～第 4 群のリード材を外部回路に接続するために用いられる端子を前記ランド部に取り付けるステップ (d) と、

前記リードフレーム及び前記半導体チップを封入するステップ (e) と、
を具備する半導体装置の製造方法。

【請求項 4】 半導体チップのパッケージングに用いるためのパッケージング部材であって、

半導体チップを搭載するための基板と、

前記基板の一方の面上に形成された第 1 ～ 第 4 群の端子と、

前記基板内に形成され、前記第 1 ～ 第 4 群の端子にそれぞれ接続された第 1 ～ 第 4 群の配線パターンと、

前記基板の他方の面上に形成された第 5 ～ 第 8 群の配線パターンであって、一方の端部が前記第 1 ～ 第 4 群の配線パターンにそれぞれ接続され、他方の端部がそれぞれの群において互いに平行となっている前記第 5 ～ 第 8 群の配線パターンと、

を具備するパッケージング部材。

【請求項 5】 前記第 5 ～ 第 8 群の配線パターンが、前記基板の中心側を上底とし、辺側を下底とする台形状の第 1 ～ 第 4 の領域内に形成され、前記第 5 ～ 第 8 群のリード材の他方の端部が前記第 1 ～ 第 4 の領域の上底又は斜辺に沿うように形成されている、請求項 4 記載のパッケージング部材。

【請求項 6】 請求項 4 又は 5 記載のパッケージング部材を用いた半導体装置の製造方法であって、

パッケージング対象である半導体チップのサイズに応じて前記第 5 ～ 第 8 群の配線パターンをカットするステップ (a) と、

前記半導体チップを前記基板上に搭載するステップ (b) と、

前記第 5 ～ 第 8 群の配線パターンと前記半導体チップとを接続する複数のワイヤをボンディングするステップ (c) と、

前記パッケージング部材の他方の面及び前記半導体チップを封入するステップ (d) と、

を具備する半導体装置の製造方法。

【請求項 7】 請求項 3 又は 6 記載の半導体装置の製造方法によって製造された半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、リードフレーム、半導体チップのパッケージング部材、半導体装置の製造方法、及び、半導体装置に関する。

【0002】**【従来の技術】**

従来の半導体チップのパッケージング部材について、図18を参照しながら説明する。図18に示すように、従来の半導体チップのパッケージング部材101は、半導体チップを搭載するための基板102を具備する。

基板102には、基板102の中心側を上底、基板102の辺側を下底とする台形状の第1～第4の領域が設けられており、基板102の一方の面であって第1～第4の領域内には、第1～第4群のリード材103～106が形成されている。第1～第4群のリード材103～106は、基板102の中心側から放射状に形成されている。

【0003】

基板102の中央部には、半導体チップ111が配置されており、第1～第4群のリード材103～106と半導体チップ111の四辺に形成された第1～第4群のボンディングパッドとは、第1～第4群のワイヤ107～110によって接続されている。

【0004】

このような従来の半導体チップのパッケージング部材は、パッケージング対象である半導体チップのサイズに合わせて設計及び製造されており、複数の異なるサイズの半導体チップのパッケージングに用いることができなかった。

【0005】

ところで、半導体チップを搭載するためのリードフレーム等が知られている（例えば、特許文献1参照）。

【0006】

しかしながら、特許文献1に掲載されたリードフレームは、リフロックラック耐性を向上させ、半導体チップを良好に搭載することができるものであり、複数の異なるサイズの半導体チップを搭載することができるものではない。

【 0 0 0 7 】

【特許文献 1】

特開 2 0 0 0 - 4 9 2 7 2 号公報（第 1 頁、図 1）

【 0 0 0 8 】

【発明が解決しようとする課題】

そこで、上記の点に鑑み、本発明は、複数の異なるサイズの半導体チップのパッケージングに用いることができるリードフレームを提供することを第 1 の目的とする。また、本発明は、複数の異なるサイズの半導体チップのパッケージングに用いることができるパッケージング部材を提供することを第 2 の目的とする。さらに、本発明は、そのようなリードフレーム又はパッケージング部材を用いた半導体装置の製造方法を提供することを第 3 の目的とする。また、本発明は、そのような半導体装置の製造方法によって製造された半導体装置を提供することを第 4 の目的とする。

【 0 0 0 9 】

【課題を解決するための手段】

以上の課題を解決するため、本発明に係るリードフレームは、半導体チップのパッケージングに用いるためのリードフレームであって、枠状のランド部と、半導体チップを搭載するためのダイパッド部と、ランド部の四隅に形成され、ダイパッド部がランド部の枠内に位置するようにダイパッド部を支持する第 1 ～第 4 の支持部と、第 1 ～第 4 群のリード材であって、一方の端部がランド部に固着され、他方の端部がそれぞれの群において互いに平行となっている第 1 ～第 4 群のリード材とを具備する。

【 0 0 1 0 】

ここで、第 1 ～第 4 群のリード材が、ランド部の中心側を上底とし、辺側を下底とする台形状の第 1 ～第 4 の領域内に形成され、第 1 ～第 4 群のリード材の他方の端部が第 1 ～第 4 の領域の上底又は斜辺に沿うように形成されていることとしても良い。

【 0 0 1 1 】

また、本発明の第 1 の観点に係る半導体装置の製造方法は、上記リードフレ

ムを用いた半導体装置の製造方法であって、パッケージング対象である半導体チップのサイズに応じて第1～第4群のリード材をカットするステップ(a)と、半導体チップをダイパッド部に搭載するステップ(b)と、第1～第4群のリード材と半導体チップとを接続する複数のワイヤをボンディングするステップ(c)と、第1～第4群のリード材を外部回路に接続するために用いられる端子をランド部に取り付けるステップ(d)と、リードフレーム及び半導体チップを封入するステップ(e)とを具備する。

【0012】

また、本発明に係る半導体チップのパッケージング部材は、半導体チップのパッケージングに用いるためのパッケージング部材であって、半導体チップを搭載するための基板と、基板の一方の面上に形成された第1～第4群の端子と、基板内に形成され、第1～第4群の端子にそれぞれ接続された第1～第4群の配線パターンと、基板の他方の面上に形成された第5～第8群の配線パターンであって、一方の端部が第1～第4群の配線パターンにそれぞれ接続され、他方の端部がそれぞれの群において互いに平行となっている第5～第8群の配線パターンとを具備する。

【0013】

ここで、第5～第8群の配線パターンが、基板の中心側を上底とし、辺側を下底とする台形状の第1～第4の領域内に形成され、第5～第8群のリード材の他方の端部が第1～第4の領域の上底又は斜辺に沿うように形成されていることとしても良い。

【0014】

また、本発明の第2の観点に係る半導体装置の製造方法は、上記パッケージング部材を用いた半導体装置の製造方法であって、パッケージング対象である半導体チップのサイズに応じて第5～第8群の配線パターンをカットするステップ(a)と、半導体チップを基板上に搭載するステップ(b)と、第5～第8群の配線パターンと半導体チップとを接続する複数のワイヤをボンディングするステップ(c)と、パッケージング部材の他方の面及び半導体チップを封入するステップ(d)とを具備する。

【0015】

また、本発明に係る半導体装置は、第1又は第2の観点に係る半導体装置の製造方法によって製造されたことを特徴とする。

【0016】

本発明によれば、複数の異なるサイズの半導体チップのパッケージングを行うことが可能となる。

【0017】

【発明の実施の形態】

以下、図面を参照しながら、本発明の実施の形態について説明する。

図1は、本発明の一実施形態に係るリードフレームを示す図である。図1に示すように、リードフレーム1は、矩形の枠状であるランド部2を有している。ランド部2の内側には、ランド部2の中心側を上底、ランド部2の辺側を下底とする台形状の第1～第4の領域が設けられており、これら第1～第4の領域内には、第1～第4群のリード材3～6が形成されている。第1～第4群のリード材3～6は、一端がランド部2に固着され、他端が第1～第4の領域の上底又は斜辺に沿って形成されている。また、第1～第4群のリード材3～6は、他端側において、それぞれ平行となっている。

【0018】

ランド部2の四隅の内側には、支持部7～10が形成されており、これらの支持部7～10に四隅を支持されるように、半導体チップを搭載するためのダイパッド部11が形成されている。図2は、リードフレーム1の図1中のII-II'線における断面を示す図である。図2においては、ダイパッド部11を支持する支持部7～10の内の支持部7、9が示されている。

図3は、リードフレーム1の図1中のIII-III'線における断面を示す図である。図3においては、第2群のリード材4の内の1本のリード材12、及び、第4群のリード材6の内の1本のリード材13が示されている。

【0019】

図4は、リードフレーム1によりパッケージングが可能な複数のサイズの半導体チップの内の最小のサイズの半導体チップ21をリードフレーム1に搭載した

様子を示す図である。図4に示すように、リードフレーム1のダイパッド部11上には、半導体チップ21が配置されている。

第1～第4群のリード材3～6の内の他端が第1～第4の領域の上底に沿って形成されているリード材と半導体チップ21の四辺に形成された第1～第4群のボンディングパッドとは、第1～第4群のワイヤ22～25によって接続されている。

【0020】

図5は、リードフレーム1及び半導体チップ21の図4中のV-V'線における断面を示す図である。図5においては、第2群のワイヤ23の内のリード材12と半導体チップ21とを接続するワイヤ26、及び、第4群のワイヤ25の内のリード材13と半導体チップ21とを接続するワイヤ27が示されている。

この後、外部回路と半導体チップ21との間で送受信される信号を伝達するための端子をランド部2に取り付け、さらにリードフレーム1及び半導体チップ21を樹脂等に封入することにより、半導体装置を製造することができる。

【0021】

図6は、リードフレーム1によりパッケージングが可能な複数のサイズの半導体チップの内の最大のサイズの半導体チップ31をリードフレーム1に搭載した様子を示す図である。図6に示すように、リードフレーム1のダイパッド部11上には、半導体チップ31が配置されている。

図6において、第1～第4群のリード材3～6の内の各群の両端のリード材以外のリード材は、半導体チップ31に重ならないようにカットされており、第1～第4群のリード材3～6と半導体チップ31の四辺に形成された第1～第4群のボンディングパッドとは、第1～第4群のワイヤ32～35によって接続されている。

【0022】

図7は、リードフレーム1及び半導体チップ31の図6中のVII-VII'線における断面を示す図である。図7においては、第2群のワイヤ33の内のリード材12と半導体チップ31とを接続するワイヤ36、及び、第4群のワイヤ35の内のリード材13と半導体チップ31とを接続するワイヤ37が示されている。

。

この後、外部回路と接続するための端子をランド部 2 に取り付け、さらにリードフレーム 1 及び半導体チップ 3 1 を樹脂等に封入することにより、半導体装置を製造することができる。

【0023】

図 8 は、半導体チップ 2 1 より大きく半導体チップ 3 1 より小さい半導体チップ 4 1 をリードフレーム 1 に搭載した様子を示す図である。図 8 に示すように、リードフレーム 1 のダイパッド部 7 上には、半導体チップ 4 1 が配置されている。

。

図 8 において、第 1 ～第 4 群のリード材 3 ～6 の内の各群の中央付近のリード材は、半導体チップ 4 1 に重ならないようにカットされており、これらのリード材と半導体チップ 4 1 の四辺に形成された第 1 ～第 4 群のボンディングパッドとは、第 1 ～第 4 群のワイヤ 4 2 ～4 5 によって接続されている。

【0024】

図 9 は、リードフレーム 1 及び半導体チップ 4 1 の図 8 中の IX-IX' 線における断面を示す図である。図 9 においては、第 2 群のワイヤ 4 3 の内のリード材 1 2 と半導体チップ 4 1 とを接続するワイヤ 4 6、及び、第 4 群のワイヤ 4 5 の内のリード材 1 3 と半導体チップ 4 1 とを接続するワイヤ 4 7 が示されている。

この後、外部回路と接続するための端子をランド部 2 に取り付け、さらにリードフレーム 1 及び半導体チップ 4 1 を樹脂等に封入することにより、半導体装置を製造することができる。

【0025】

このように、リードフレーム 1 によれば、種々のサイズの半導体チップのパッケージングを行うことが可能である。

【0026】

次に、本発明の第 2 の実施形態について説明する。図 10 は、本発明の第 2 の実施形態に係る半導体チップのパッケージング部材を示す図である。図 10 に示すように、パッケージング部材 5 1 は、半導体チップを搭載するための基板 5 2 を具備する。

基板 5 2 には、基板 5 2 の中心側を上底、基板 5 2 の辺側を下底とする台形状の第 1 ～第 4 の領域が設けられており、基板 5 2 の一方の面であって第 1 ～第 4 の領域内には、第 1 ～第 4 群の上層配線パターン 5 3 ～5 6 が形成されている。第 1 ～第 4 群の上層配線パターン 5 3 ～5 6 は、基板 5 2 の中心側の端部が第 1 ～第 4 の領域の上底又は斜辺に沿うように形成されている。また、第 1 ～第 4 群の上層配線パターン 5 3 ～5 6 は、基板 5 2 の中心側において、それぞれ平行となっている。

【0027】

第 1 ～第 4 の領域の外側には、基板 5 2 の中心側を上底、基板 5 2 の辺側を下底とする台形状の第 5 ～第 8 の領域が設けられており、基板 5 2 の内部であって第 5 ～第 8 の領域内には、第 1 ～第 4 群の中層配線パターン 5 7 ～6 0 が形成されている。また、基板 5 2 の他方の面には、第 5 ～第 8 の領域の下底に沿うように、第 1 ～第 4 群の端子 6 1 ～6 4 が形成されている。第 1 ～第 4 群の中層配線パターン 5 7 ～6 0 は、一端がスルーホールを介して第 1 ～第 4 群の上層配線パターン 5 3 ～5 6 に接続されており、他端がスルーホールを介して第 1 ～第 4 群の端子 6 1 ～6 4 に接続されている。

図 1 1 は、基板 5 1 の図 1 0 中の XI-XI' 線における断面を示す図である。図 1 1 においては、第 2 群の上層配線パターン 5 4 の内の 1 本の上層配線パターン 6 5、第 4 群の上層配線パターン 5 6 の内の 1 本の上層配線パターン 6 6、第 2 群の中層配線パターン 5 8 の内の 1 本の中層配線パターン 6 7、第 4 群の中層配線パターン 6 0 の内の 1 本の中層配線パターン 6 8、第 2 群の端子 6 2 の内の 1 個の端子 6 9、及び、第 4 群の端子 6 4 の内の 1 個の端子 6 4 の内の 1 個の端子 7 0 が示されている。

【0028】

図 1 2 は、パッケージング部材 5 1 によりパッケージングが可能な複数のサイズの半導体チップの内の最小のサイズの半導体チップ 7 1 をパッケージング部材 5 1 に搭載した様子を示す図である。図 1 2 に示すように、基板 5 2 の中央部には、半導体チップ 7 1 が配置されている。

第 1 ～第 4 群の上層配線パターン 5 3 ～5 6 の内の一端が第 1 ～第 4 の領域の

上底に沿って形成されている上層配線パターンと半導体チップ71の四辺に形成された第1～第4群のボンディングパッドとは、第1～第4群のワイヤ72～75によって接続されている。

【0029】

図13は、パッケージング部材51及び半導体チップ71の図12中のXIII-XIII'線における断面を示す図である。図13においては、第2群のワイヤ72の内の上層配線パターン65と半導体チップ71とを接続するワイヤ76、及び、第4群のワイヤ75の内の上層配線パターン66と半導体チップ71とを接続するワイヤ77が示されている。

この後、パッケージング部材51の上面及び半導体チップ71を樹脂等で覆うことにより、半導体装置を製造することができる。

【0030】

図14は、パッケージング部材51によりパッケージングが可能な複数のサイズの半導体チップの内の最大のサイズの半導体チップ31をパッケージング部材51に搭載した様子を示す図である。図14に示すように、基板52の中央部には、半導体チップ81が配置されている。

図14において、第1～第4群の上層配線パターン53～56の内の各群の両端の上層配線パターン以外の上層配線パターンは、半導体チップ81に重ならないようにカットされており、第1～第4群の上層配線パターン53～56と半導体チップ81の四辺に形成された第1～第4群のボンディングパッドとは、第1～第4群のワイヤ82～85によって接続されている。

【0031】

図15は、パッケージング部材51及び半導体チップ81の図14中のXV-XV'線における断面を示す図である。図15においては、第2群のワイヤ83の内の上層配線パターン65と半導体チップ81とを接続するワイヤ86、及び、第4群のワイヤ85の内の上層配線パターン66と半導体チップ81とを接続するワイヤ87が示されている。

この後、パッケージング部材51の上面及び半導体チップ81を樹脂等で覆うことにより、半導体装置を製造することができる。

【0032】

図16は、半導体チップ71より大きく半導体チップ81より小さい半導体チップ91をパッケージング部材51に搭載した様子を示す図である。図16に示すように、基板52の中央部には、半導体チップ91が配置されている。

図16において、第1～第4群の上層配線パターン53～56の内の各群の中央付近の上層配線パターンは、半導体チップ91に重ならないようにカットされており、これらの上層配線パターンと半導体チップ91の四辺に形成された第1～第4群のボンディングパッドとは、第1～第4群のワイヤ92～95によって接続されている。

【0033】

図17は、パッケージング部材51及び半導体チップ91の図16中のXVIIーXVIII'線における断面を示す図である。図17においては、第2群のワイヤ93の内の上層配線パターン65と半導体チップ91とを接続するワイヤ96、及び、第4群のワイヤ95の内の上層配線パターン66と半導体チップ91とを接続するワイヤ97が示されている。

この後、パッケージング部材51の上面及び半導体チップ91を樹脂等で覆うことにより、半導体装置を製造することができる。

【0034】

このように、パッケージング部材51によれば、種々のサイズの半導体チップのパッケージングを行うことが可能である。

【図面の簡単な説明】

【図1】 本発明の第1実施形態に係るリードフレームを示す図。

【図2】 図1のII-II'線における断面図。

【図3】 図1のIII-III'線における断面図。

【図4】 リードフレーム1に半導体チップを格納した様子を示す図。

【図5】 図4のV-V'線における断面図。

【図6】 リードフレーム1に半導体チップを格納した様子を示す図。

【図7】 図6のVII-VII'線における断面図。

【図8】 リードフレーム1に半導体チップを格納した様子を示す図。

【図 9】 図 8 の IX-IX' 線における断面図。

【図 10】 本発明の第 2 実施形態に係るパッケージング部材を示す図。

【図 11】 図 10 の XI-XI' 線における断面図。

【図 12】 パッケージング部材 51 に半導体チップを格納した図。

【図 13】 図 12 の XIII-XIII' 線における断面図。

【図 14】 パッケージング部材 51 に半導体チップを格納した図。

【図 15】 図 14 の XV-XV' 線における断面図。

【図 16】 パッケージング部材 51 に半導体チップを格納した図。

【図 17】 図 16 の XVII-XVII' 線における断面図。

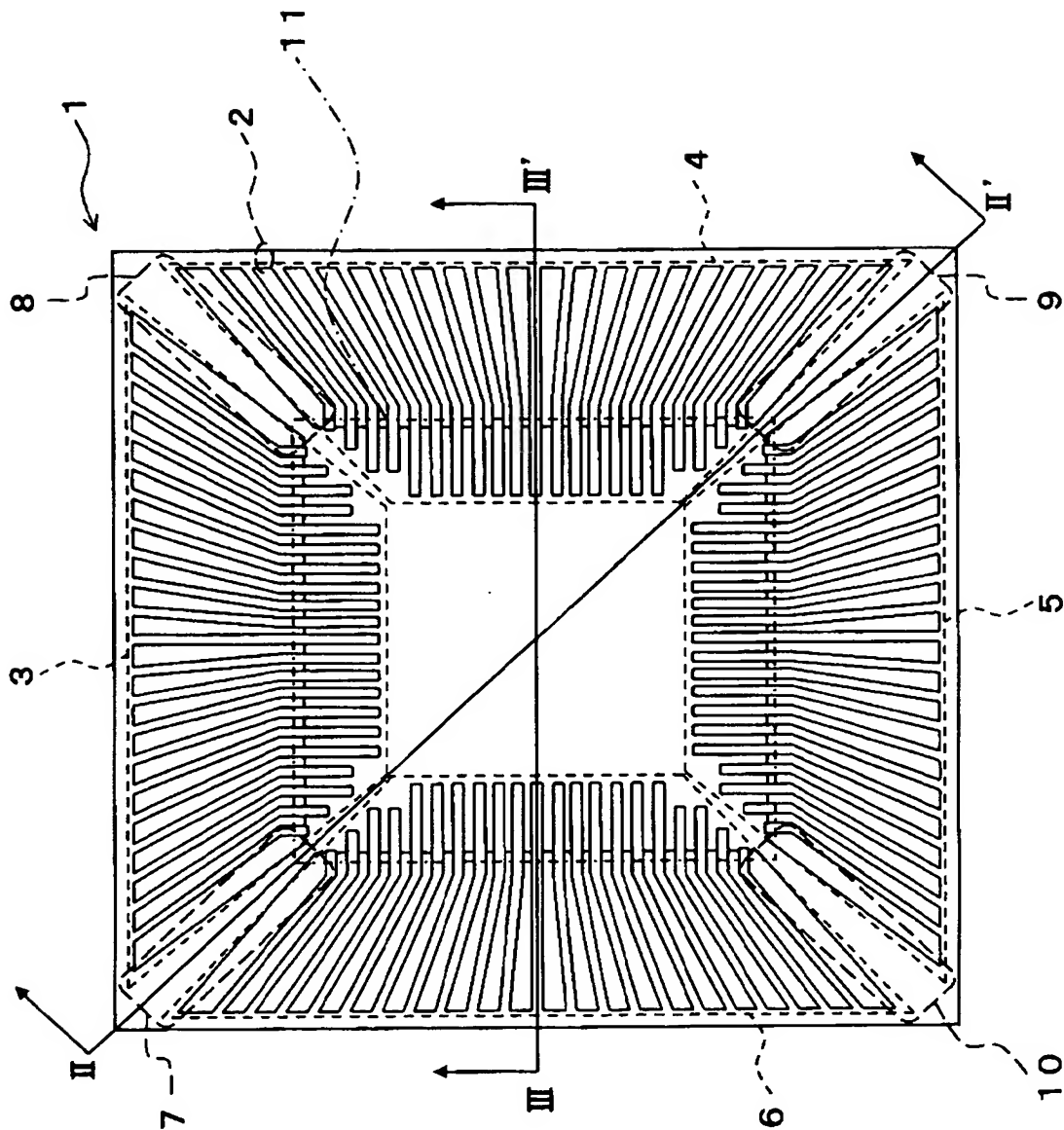
【図 18】 従来の半導体チップのパッケージング部材を示す図。

【符号の説明】

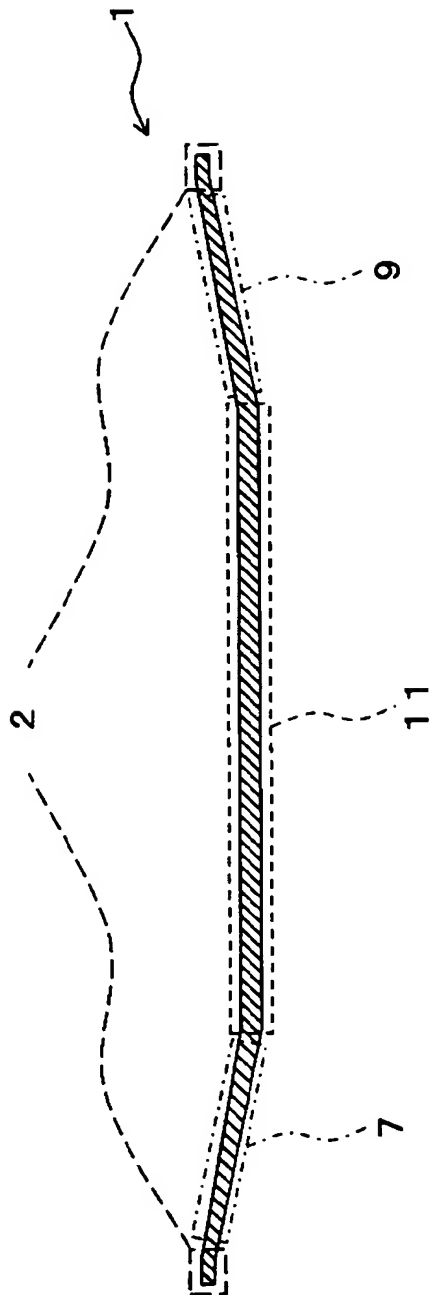
1 リードフレーム、2 ランド部、3～6、12、13、103～106
リード材、7～10 支持部、11 ダイパッド部、21、31、41、71、
81、91、111 半導体チップ、22～27、32～37、42～47、7
2～77、82～87、92～97、107～110 ワイヤ、51、101
半導体チップのパッケージング部材、52、102 基板、53～56、65、
66 上層配線パターン、57～60、67、68 中層配線パターン、61～
64、69、70 端子

【書類名】 図面

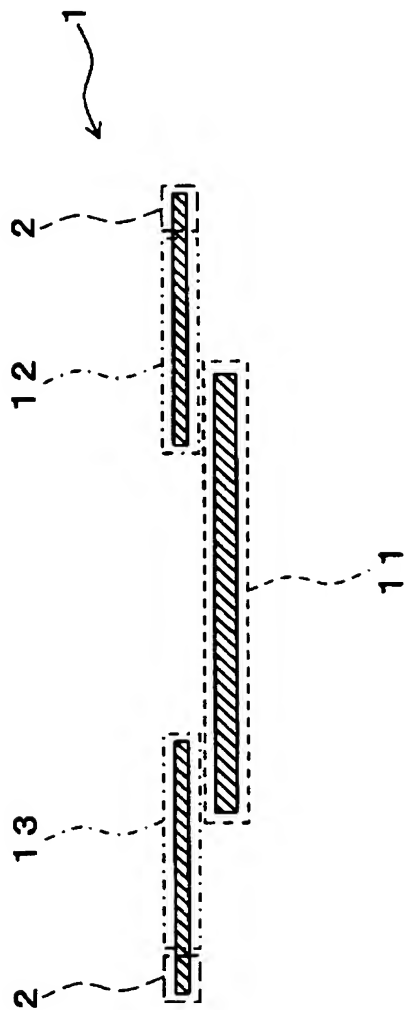
【図 1】



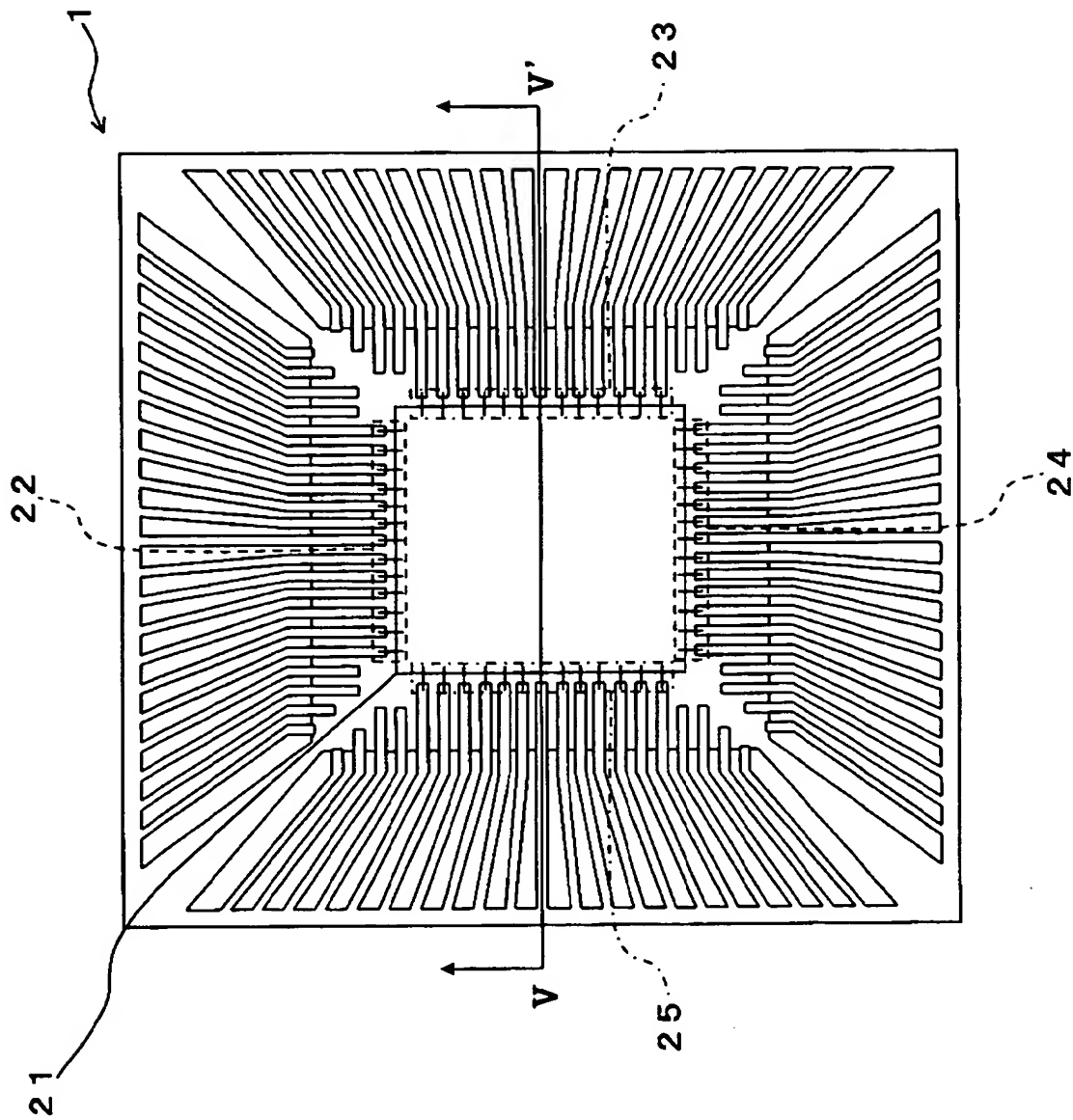
【図 2】



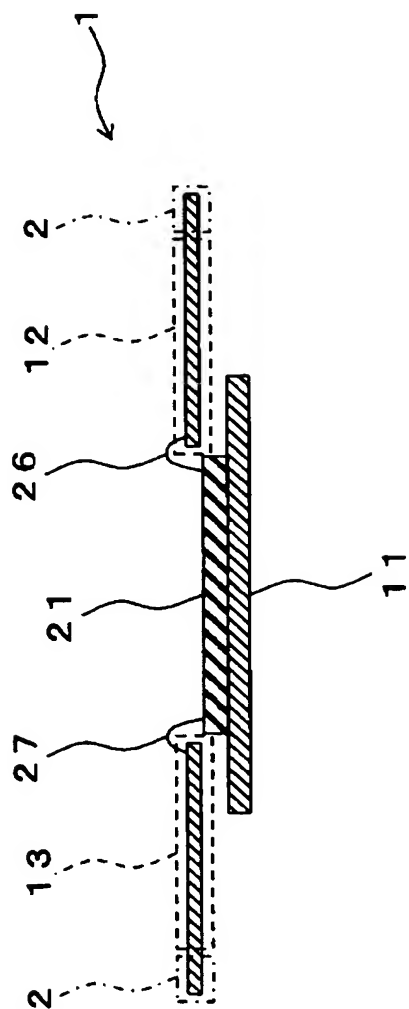
【図 3】



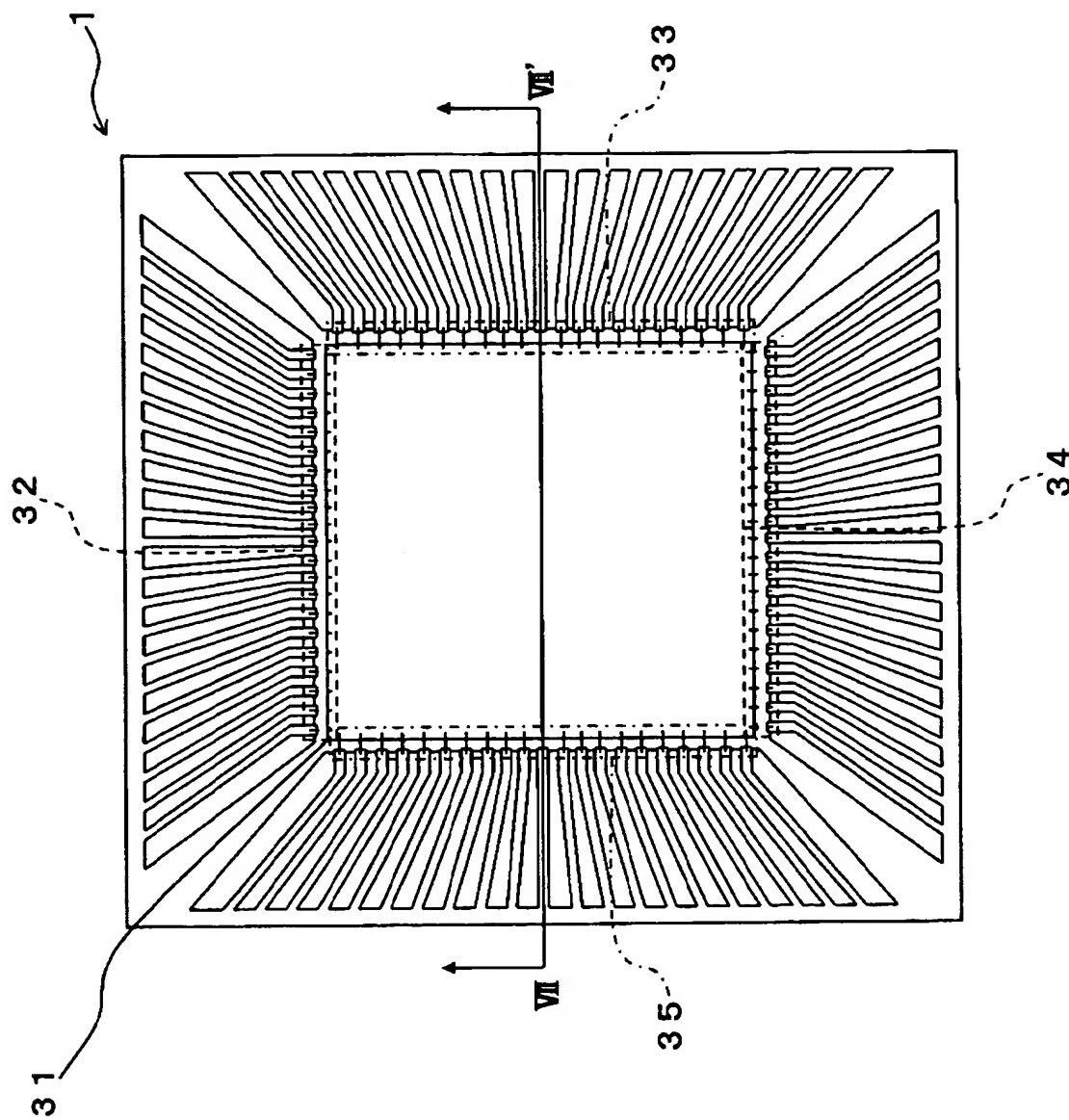
【図 4】



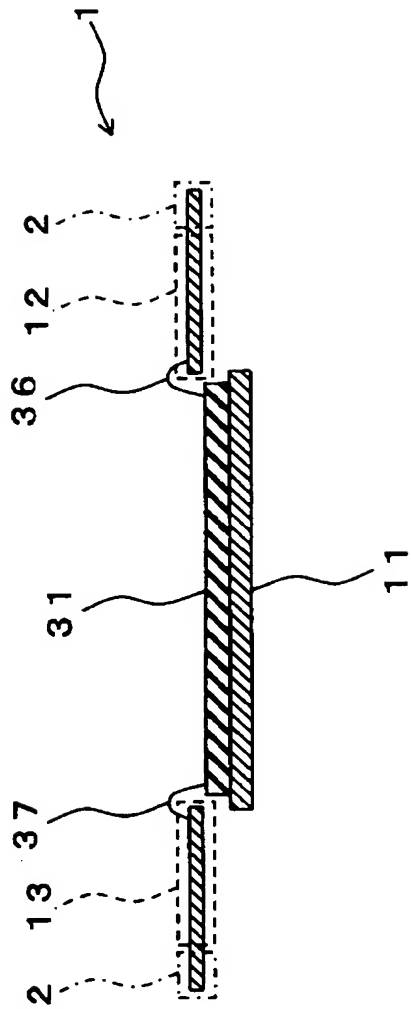
【図 5】



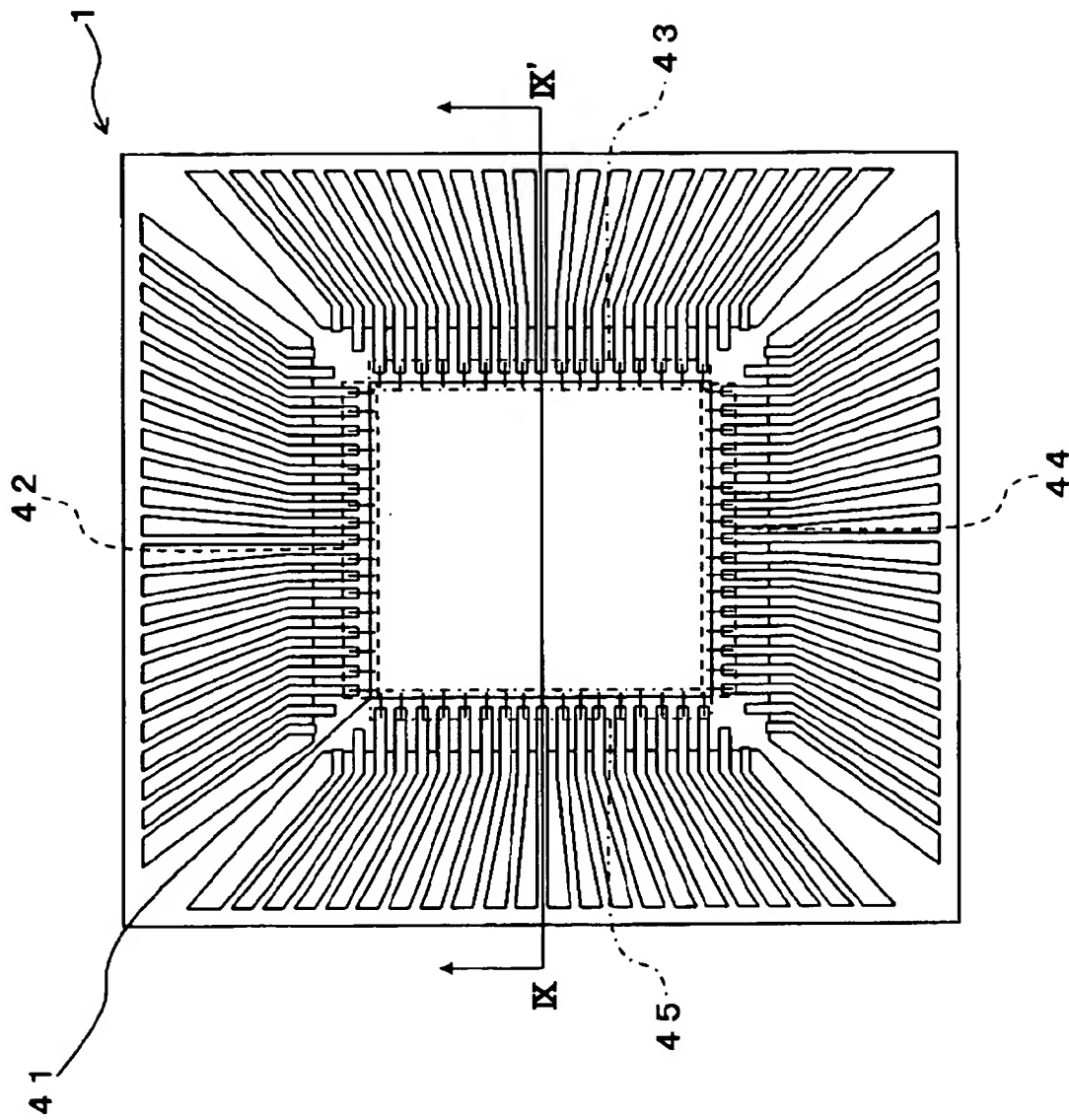
【図 6】



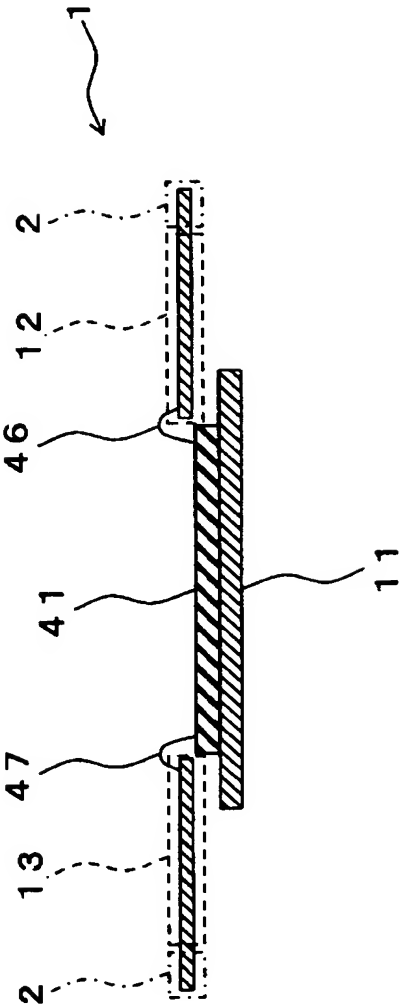
【図 7】



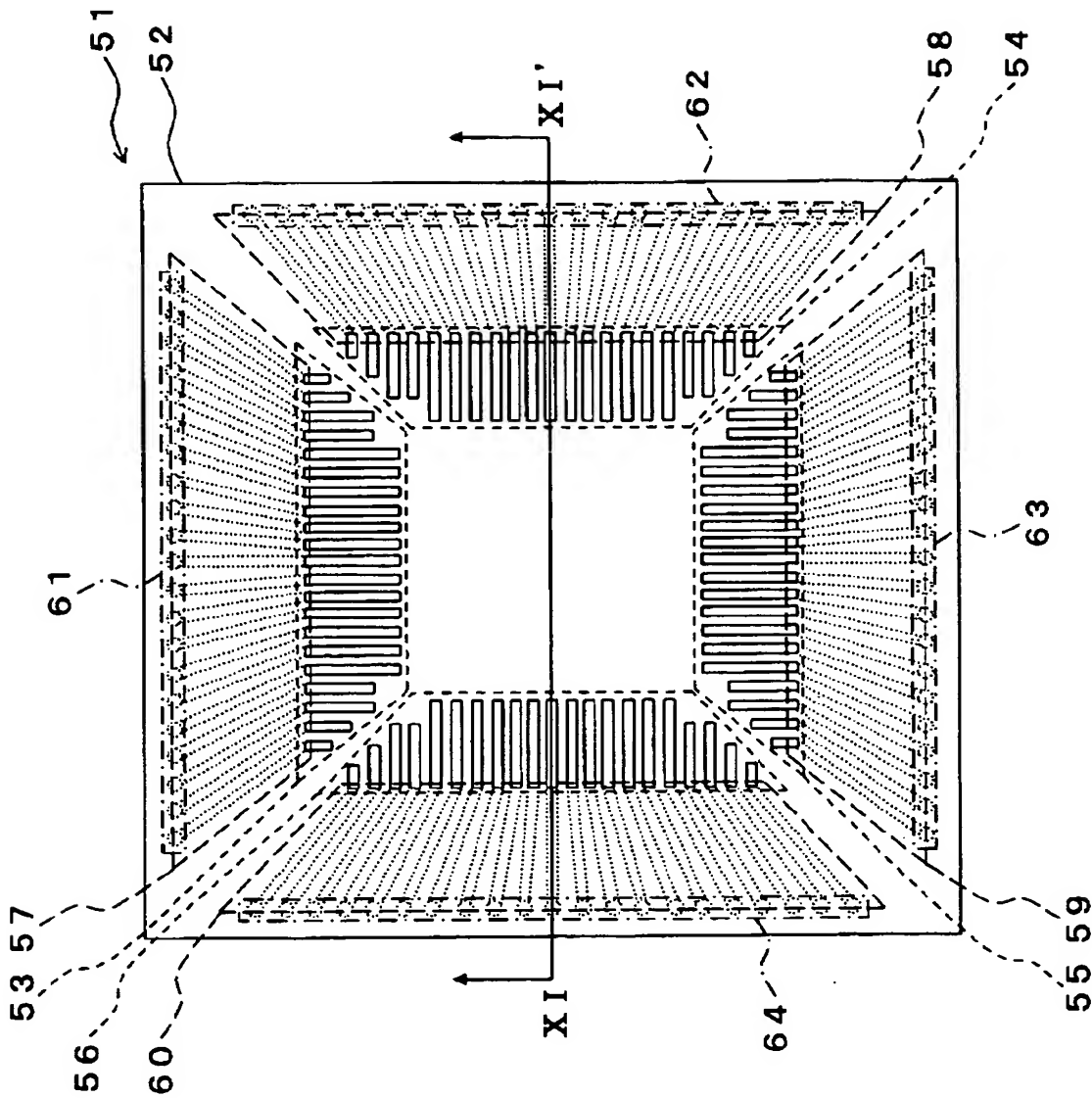
【図 8】



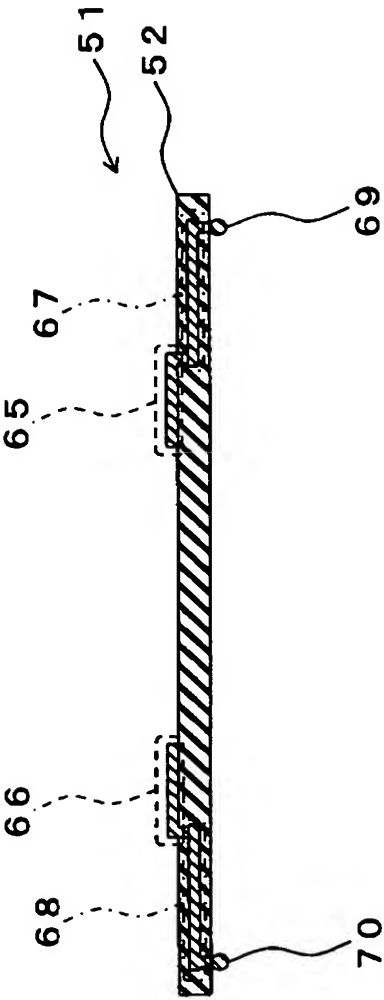
【図 9】



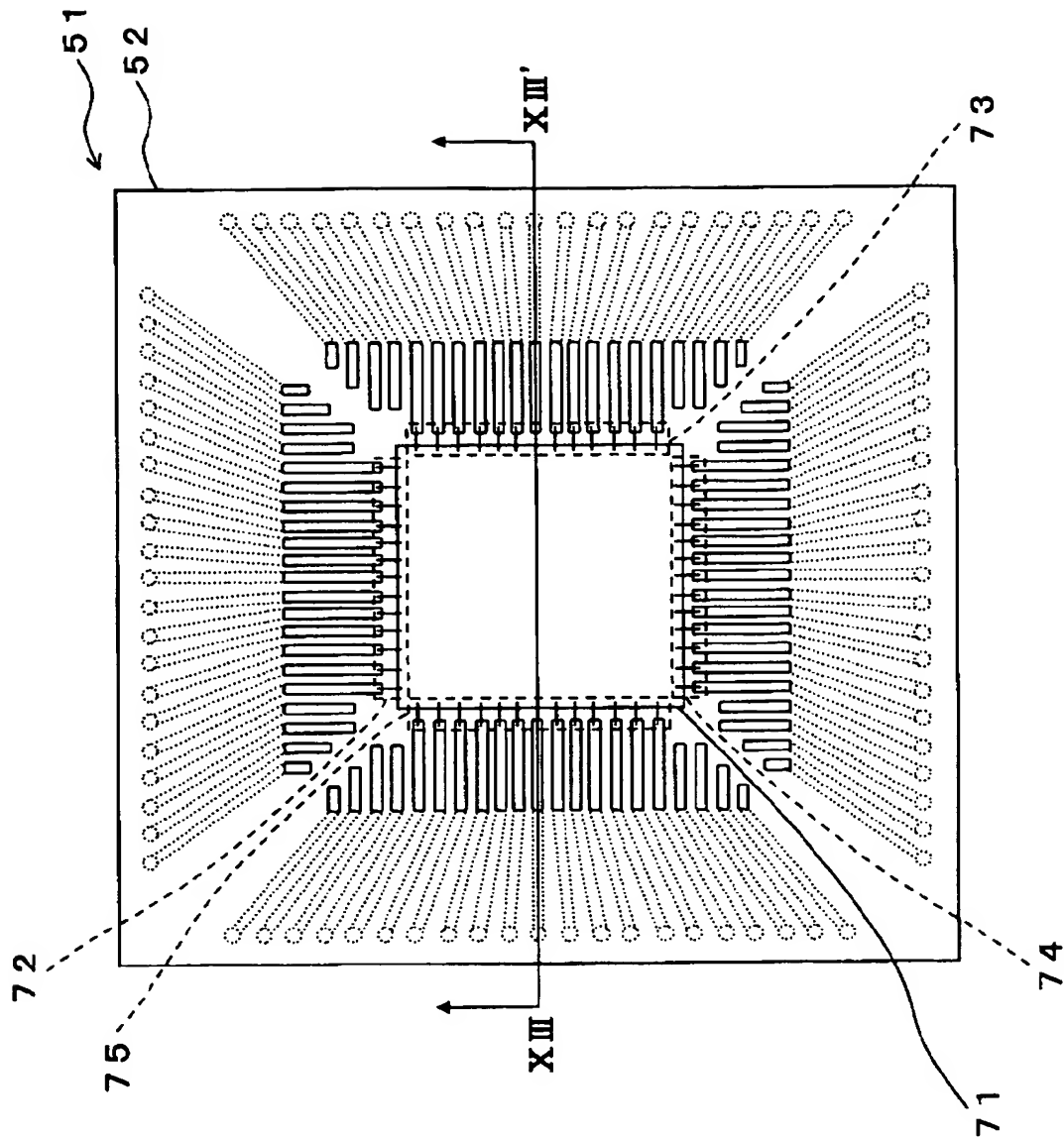
【図 10】



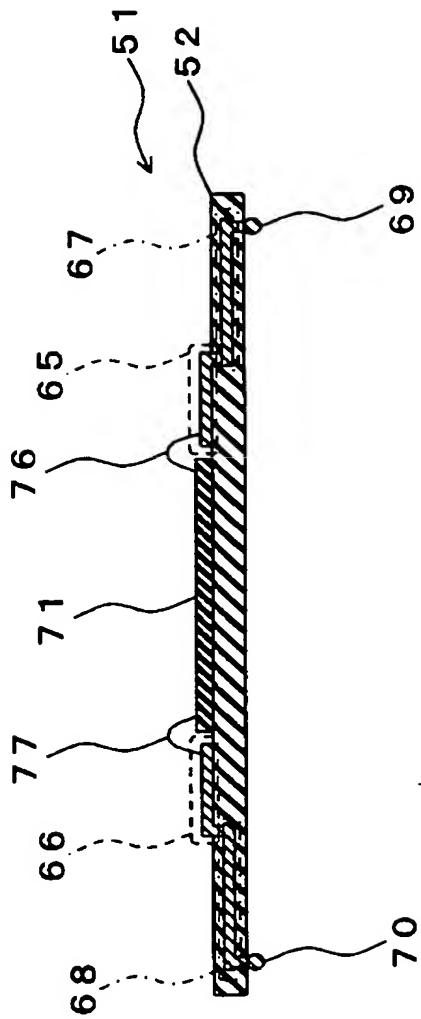
【図 1 1】



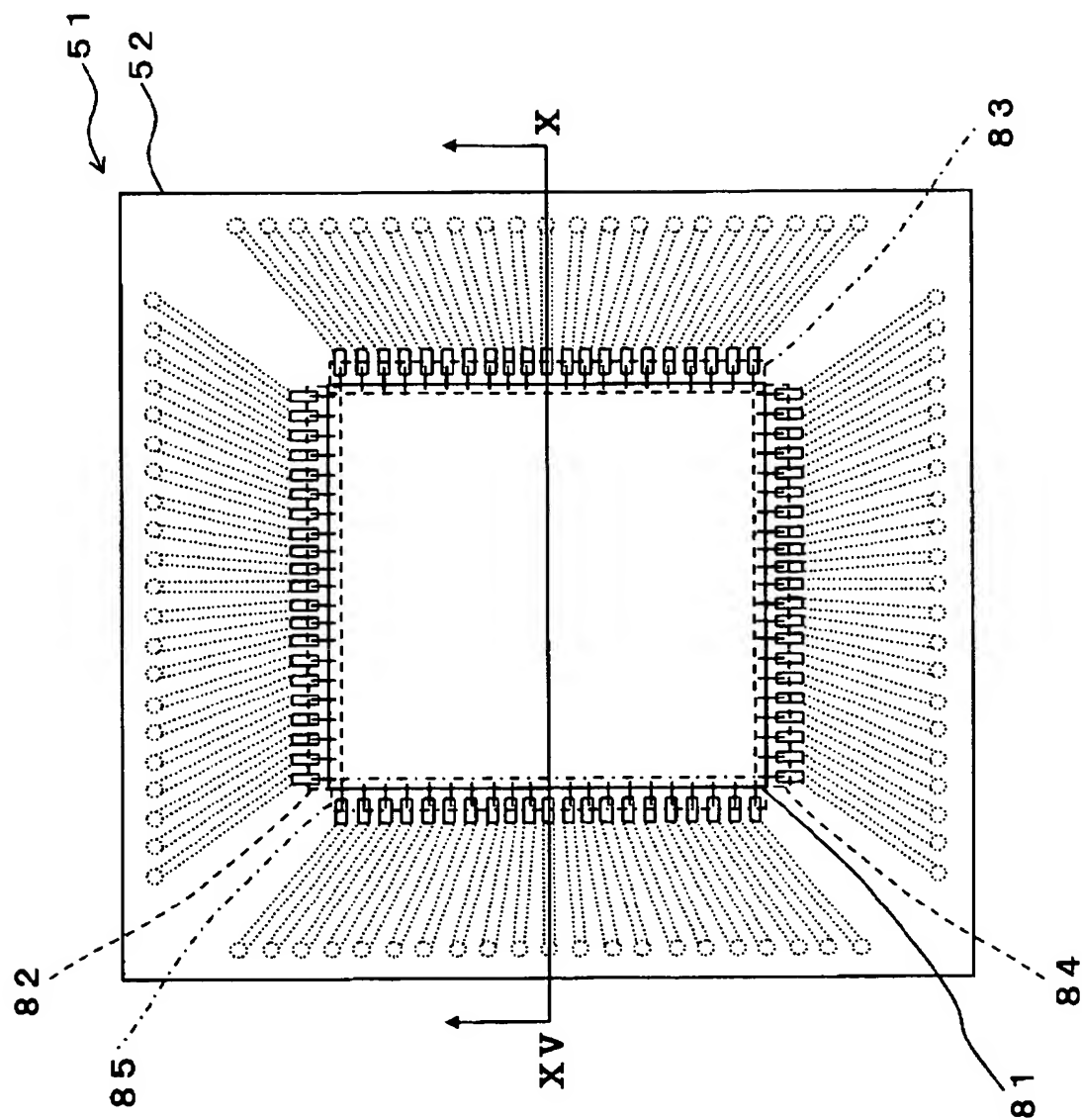
【図 12】



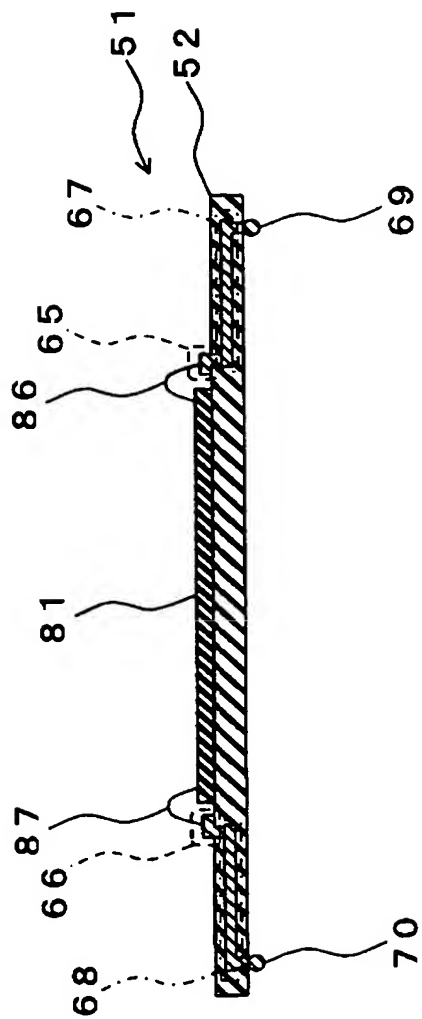
【図 13】



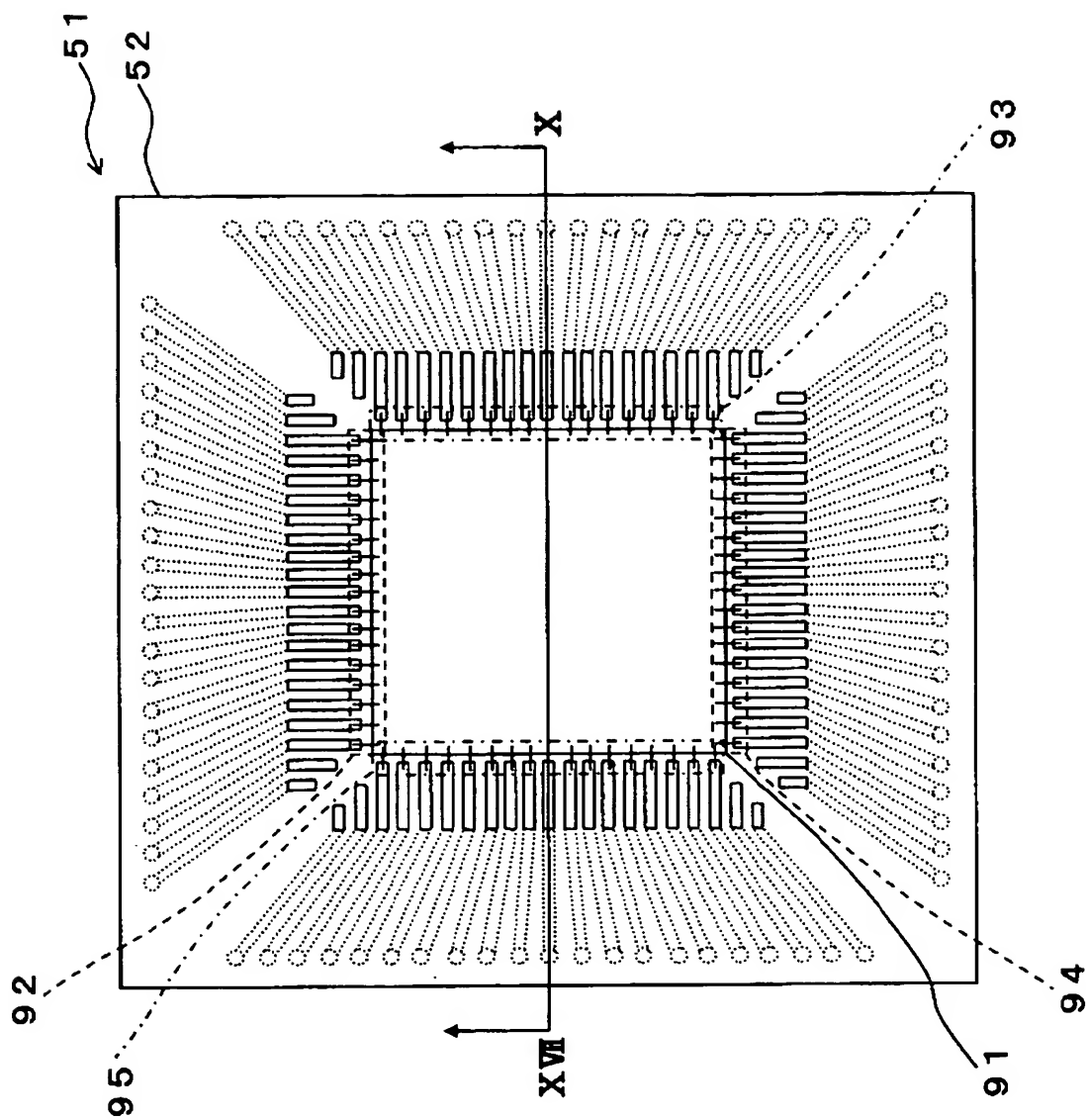
【図 14】



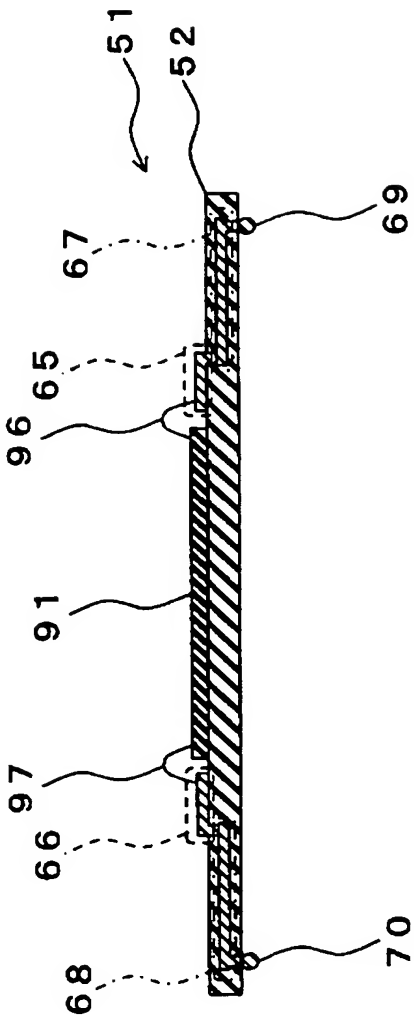
【図 15】



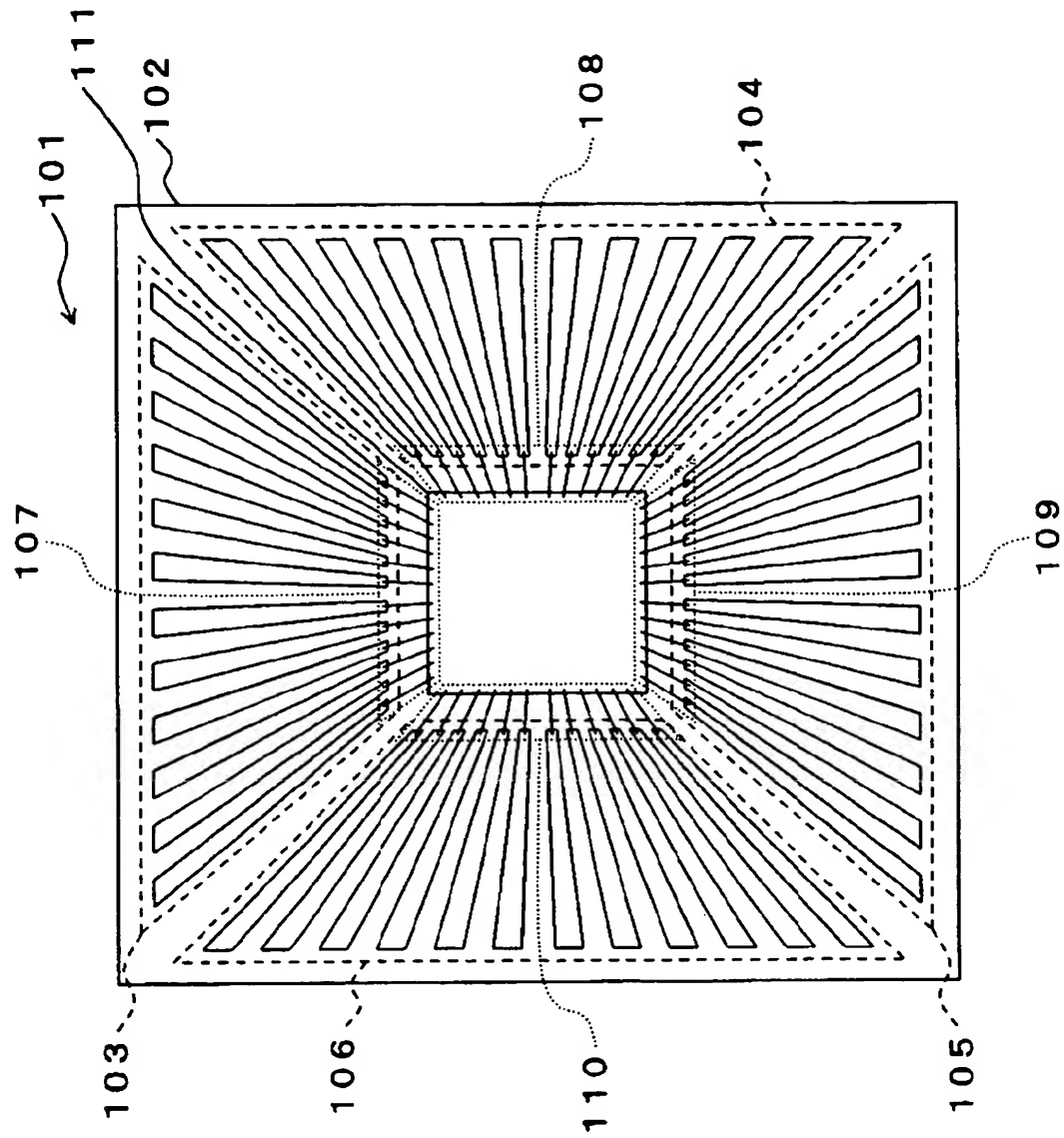
【図 16】



【図 17】



【図 18】



【書類名】 要約書

【要約】

【課題】 複数の異なるサイズの半導体チップのパッケージングを行うことが可能なリードフレーム等を提供する。

【解決手段】 このリードフレーム 1 は、枠状のランド部 2 と、半導体チップを搭載するためのダイパッド部 1 1 と、ダイパッド部 1 1 がランド部 2 の中央付近に位置するように支持する第 1 ～第 4 の支持部 7 ～1 0 と、ランド部 2 の中心側を上底とし、辺側を下底とする台形状の第 1 ～第 4 の領域内に形成された第 1 ～第 4 群のリード材であって、一端がランド部 2 に固着され、他端が第 1 ～第 4 の領域の上底又は斜辺に沿うとともに、少なくとも他端側においてそれぞれ平行となっている第 1 ～第 4 群のリード材 3 ～6 とを具備する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 4 4 3 6 0
受付番号	5 0 3 0 0 2 8 2 3 7 4
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 2 月 2 4 日

< 認定情報・付加情報 >

【提出日】 平成15年 2月21日

次頁無

特願 2 0 0 3 - 0 4 4 3 6 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社